

主面を有し、前記第1主面の五つに對向する第1辺及び第2辺のうちの第1辺に常に電極が配置された第1及び第2半導体チップを備し、更に、インナー部及びアウター部を有し、前記インナー部の先端部分が互に對向する様に第一リード及び第二リードを有するリードフレームを構成する。

卷之三

が前記第2半導体チップの第1辺よりも外側に位置し、前記第2半導体チップの第2辺が前記第3半導体チップの第2辺よりも外側に位置するように夫々の位置をすらした状態で接続固定され、
前記第3及び第4半導体チップは、前記第4半導体チップの第1辺が前記リード側に位置するように前記第3半導体チップの第2主面と前記第4半導体チップの第1主面とを向か向い合わせ、かつ前記第4半導体チップの電極が前記第3半導体チップの第2辺が前記第4半導体チップの第2辺よりも外側に位置するように夫々の位置をすらした状態で接続固定され、
前記支持リードは、前記第1乃至第4半導体チップのうちの何れかの半導体チップの第2主面に接続固定されていることを特徴とする半導体装置。
【請求項12】 平面が方形状の掛鎖封止部と、前記掛鎖封止部の内部に位置し、平面が方形状で形成された第1乃至第4半導体チップであって、互に対向する第1主面及び第2主面を有し、前記第1主面の互いに対向する第1辺及び第2辺のうちの第1辺側に電極が配設された第1乃至第4半導体チップと、
前記前記掛鎖封止部の内部に位置するインナー部と、前記掛鎖封止部の互いに対向する第1辺及び第2辺のうちの第1辺側が互に突出して前記掛鎖封止部の外部に位置するアウターリードとを有し、前記インナー部がボンディングワイヤを介して前記第1半導体チップの電極と電気的に接続される第1リードと、
前記第1半導体チップを支持する支持リードとを有し、前記第1半導体チップの第1辺が前記第1リード側に位置するよう前記第3半導体チップは、前記第3半導体チップの第1辺が前記第2リード側に位置するよう前記第4半導体チップは、前記第4半導体チップの第1辺が前記第3半導体チップの第2主面と前記第4半導体チップの第2主面とを向か向い合わせ、かつ前記第3半導体チップの第1辺が前記第4半導体チップの第2辺よりも外側に位置し、前記第2半導体チップの第2辺が前記第2半導体チップの第2辺よりも外側に位置するように夫々の位置をすらした状態で接続固定され、
前記第3及び第4半導体チップは、前記第4半導体チップ

する第1辺及び第2辺のうちの第1辺側に配置された電極とを有する第1乃至第4半導体チップと、前記第1前記耐熱封止体の内部に位置するインナー部と、前記第1耐熱封止体の外側に位置する第1辺及び第2辺のうちの第1辺側から突出して前記耐熱封止体の外側に位置するアクラー部とを有し、前記インナー部がボンディングワイヤを介して前記第3及び第2半導体チップの電極と電気的に接続される第1リードと、
前記第1半導体チップを支持する第1リードとを有し、前記第2半導体チップを支持する第2リードと、前記第3半導体チップを支持する第3リードと、
前記第1半導体チップの第1辺が前記第1リード側に位置し、前記第2半導体チップの第1辺が前記第2リード側に位置し、前記第3半導体チップの第1辺が前記第3リード側に位置するように位置するアクラー部とを有し、前記インナー部がボンディングワイヤを介して前記第3及び第2半導体チップの電極と電気的に接続される第2リードと、
前記第1半導体チップの第2辺と前記第2半導体チップの第2辺とを向かい合わせ、かつ前記第2半導体チップの第1辺とを向かい合わせて、前記第1半導体チップの第2辺よりも外側に位置するように夫々の位置をずらした状態で接接着固定され、
前記第2及び第3半導体チップは、前記第1半導体チップの第1辺が前記第1リード側に位置するように前記第2半導体チップの第2辺と向かい合わせて接接着固定され、
前記第3半導体チップの第2辺とを向かい合わせて接接着固定され、かつ前記第3半導体チップの第2辺よりも外側に位置するように夫々の位置をずらした状態で接接着固定され、前記第1半導体チップの第1辺とを向かい合わせて接接着固定され、
【請求項17】 平面が方形状の耐熱封止体と、
前記耐熱封止体の内部に位置し、平面が方形状で形成され、前記耐熱封止体の互いに対向する第1辺及び第2辺のうちの第1辺側から突出して前記耐熱封止体の外側に位置するアクラー部とを有し、前記インナー部がボンディングワイヤを介して前記第3及び第2半導体チップの電極と電気的に接続される第1リードと、
前記耐熱封止体の内部に位置するインナー部と、前記耐熱封止体の外側に位置する第1辺及び第2辺のうちの第1辺側から突出して前記耐熱封止体の外側に位置するアクラー部とを有し、前記インナー部がボンディングワイヤを介して前記第3及び第4半導体チップの電極と電気的に接続される第1リードと、

本物のモノを購入することが多い。さて、本題

ープル端子である。W-PROJECT T端子はライト・プロテクト端子である。FTEST端子はファンショーン・テスト端子である。NC端子は空き端子である。

[0033] チップ1及びチップ2は、夫々の一方の最辺(11A1, 12A1)がリード22B側に位置するようにチップ1の裏面(互いに対向する一面)及び他の面のうちの他の面)とチップ1の回路形成面1Aとを向かい合わせ、かつチップ1の一方の最辺(11A1, 12A1)よりも外側に位置し、チップ1の他方の最辺11A2がチップ1の他の方の最辺12A2よりも外側に位置するように夫々の位置をずらした状態(チップ1の一方の最辺11A1とチップ1の他方の最辺12A2とが互いに夫々の位置をずらした状態)で接觸固定されている。チップ1及びチップ2は、これらの間に介在された接觸層16によって接觸固定されている。

[0034] チップ1及びチップ13は、夫々の一方の最辺(11A1, 13A1)がリード22B側に位置するようにチップ1の裏面(他の正面)とチップ13の回路形成面13Aとを向かい合わせ、かつチップ13の最辺15がチップ12の一方の最辺12A1よりも外側に位置し、チップ12の他方の最辺12A2がチップ13の他方の最辺13A2よりも外側に位置するように夫々の位置をずらした状態(チップ12の一方の最辺12A2とチップ13の他方の最辺13A2とが互いに近づく方向に位置するようにチップ13の位置をずらした状態)で接觸固定されている。チップ1及びチップ13は、夫々の一方の最辺(13A1, 14A1)がリード22B側に位置するようにチップ13の裏面(他の正面)とチップ14の回路形成面14Aとを向かい合わせ、かつチップ14の最辺15がチップ13の一方の最辺13A1よりも外側に位置し、チップ13の他方の最辺13A2がチップ14の他方の最辺14Aよりも外側に位置するようにチップ13の位置をずらした状態)で接觸固定されている。チップ13及びチップ14は、これらの間に介在された接觸層16によって接觸固定されている。

[0035] チップ13及びチップ14は、夫々の一方の最辺(13A1, 14A1)がリード22B側に位置するようにチップ13の裏面(他の正面)とチップ14の回路形成面14Aとを向かい合わせ、かつチップ14の最辺15がチップ13の一方の最辺13A1よりも外側に位置し、チップ13の他方の最辺13A2がチップ14の他方の最辺14Aよりも外側に位置するようにチップ13の位置をずらした状態)で接觸固定されている。

リード22Aのインナー部は、その先端部分がリード22Bの15近傍に配置されている。リード22Aのインナー部は、リード22Bのインナー部の長さよりも長くなっている。

[0038] ボンディングワイヤ17としては例えば金(Au)ワイヤを用いている。ボンディングワイヤ17の接続方法としては、例えば熱延焼に超音波振動を併用したボールボンディング法を用いている。

[0039] 構造層18は、低粘着力を図る目的として、例えば、フェノール系硬化剤、シリコーンゴム及びフライア等が添加されたフェニール系の樹脂で形成されている。この構造層18は、大量生産に好適なトランジスタ構造法で形成されている。トランジスタ構造法は、ボット、ランナー、流入ゲート及びキャビティ等を備えたモールド全型を使用し、ボットからランナー及び流入ゲートを通してキャビティ内に樹脂を加压注入して樹脂封止層を形成する方法である。

[0040] 本実施形態において、四つのチップの夫々の厚さは約0.1 [mm]であり、接觸層16及びチップ13の厚さは約0.025 [mm]であり、リード22A及びチップ2Bの厚さは約0.125 [mm]であり、樹脂封止層18の上面からチップ11上におけるリード22Aまでの樹脂層の厚さは約1.1 [mm]であり、樹脂封止層18の下面からチップ14の裏面における接觸層16までの樹脂層の厚さは約0.25 [mm]であり、樹脂封止層18の上面からリード(22A, 22B)の裏面までの高さは約1.2 [mm]である。

[0041] 図3に示すように、チップ11及びチップ12は、チップ11の電極15がリード22B側に位置するようにチップ11の位置をずらした状態で接觸固定されている。チップ13及びチップ14は、チップ11の電極15がリード22B側に位置するようにチップ13の位置をずらした状態で接觸固定されている。チップ13及びチップ14は、チップ11の電極15がリード22B側に位置するようにチップ13の位置をずらした状態で接觸固定されている。

[0042] 次に、半導体装置1Aの製造に用いられるリードフレームについて、図4を用いて説明する。図4はリードフレームの模式的平面図である。なお、実際のリードフレームは複数の半導体装置を製造できるよう多く選択構造になっているが、図面を見易くするため、図4は一つの半導体装置が製造される一個分の領域を示している。

[0043] 図4に示すように、リードフレームLF1は、幅が2.1で規定された領域内に、複数のリード22Aからなるリード群、複数のリード22Bからなるリード群、接觸層23等を配置した構成になっている。複数のリード22Aは、幅2.1の互いに対向する二つの短辺部分のうちの一方の短辺部分に沿って配列され、この一方の短辺部分と一体化されている。複数のリード22B

0-1-11 (異端形態6) 図19は、本架の異端形態6である半導体接面の模式的断面図である。図19に示すように、本異端形態の半導体接面2は、基本的に前述の異端形態5と同様の構成となっており、以下の構

5がチップ11の一方の長辺11A1よりも外側に位置し、チップ11の他方の長辺11A2がチップ12の他方の長辺12A2よりも外側に位置するよう夫々の位置をずらした状態で接着固定されている。

【0129】 チップ1 3及びチップ1 4は、チップ1 4が一方の長辺1 4 A 1がリード2 2 A側に位置するよう、チップ1 3の裏面を接觸することによって行なう。この時、チップ1 3の一長辺1 3 A 1がリード2 2 A側に位置するよう、チップ1 3の向きを合わせた状態で

のようにチップ 11 の向きを合わせた状態で行なう。
01331 次に、チップ 11 にチップ 12 を接着固定する。チップ 11 とチップ 12 の接着固定は、図 22 が示すように、チップ 11 の裏面に接着層 16 を介なし
て接着して行なう。
101381 この後、前述の裏板形態 1 と同様の製造工程を施すことにより、図 21 に示す半導体装置 3 がほぼ完成する。

〔0139〕このように本実施形態に於いても前述の実施形態1と同様の効果が得られる。

〔0140〕(実施形態9) 図2-6は本実施の実施形態9における半導体装置の断面図である。

〔0141〕図2-6に示すように、半導体装置1は、

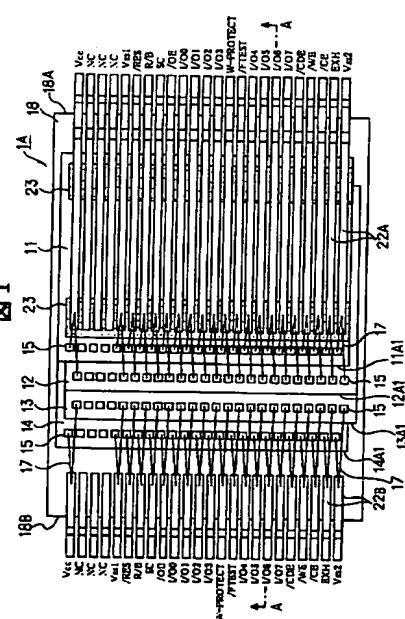
チップ1/2の電極とリード2/2Bとをボンディングイヤ1/7で電気的に接続する。これらの接続は、図2に示すように、チップ1の回路形面1/Aを上向きした状態でヒートステージ3/4にリードフレームLF面とチップ1/2の回路形面1/2Aを向かい合わせ、かつチップ1/2の電極1/5がチップ1/1の長辺1/Aよりも外側に位置するように夫々の位置をすらした状態で接着固定されている。

試験していく。この工程において、この工程において、チップ1 1の一方の最辺1 1A 1は、チップ1 2のチップ1 1の一方の外側に位置しているので、チップ1 1の一方の最辺1 1A 1側に位置する裏面鏡頭に接続するように突出部3 4Aをヒートステージ3 4に接続する。

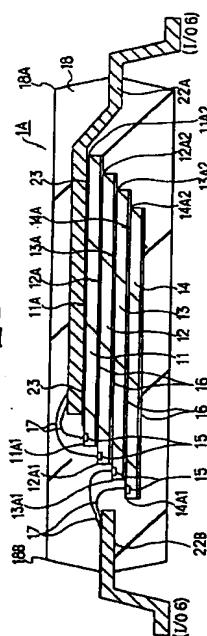
ことにより、チップ1の一方の長辺11A1側に位置する裏面部材にヒストステージ34を直接的若しくは間に通じて接続させることができる。
1351次に、チップ12にチップ13を接続面定

テレノン4の位置1がチック3の一方向の真邊13Aよりも外側に位置するように夫々の位置をずらした状

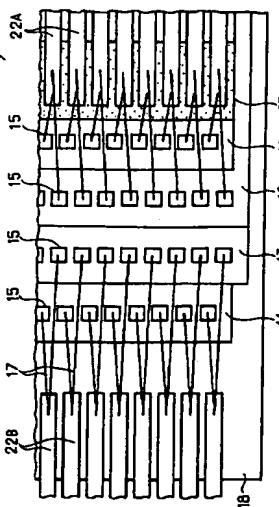
(21)



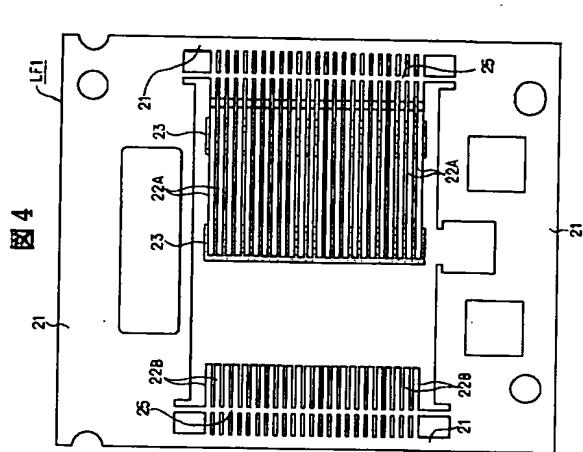
21



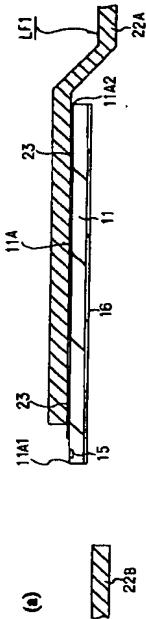
[图31]



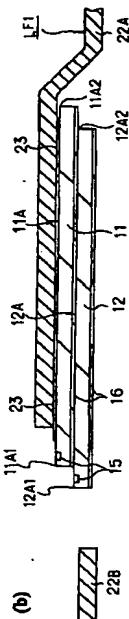
三



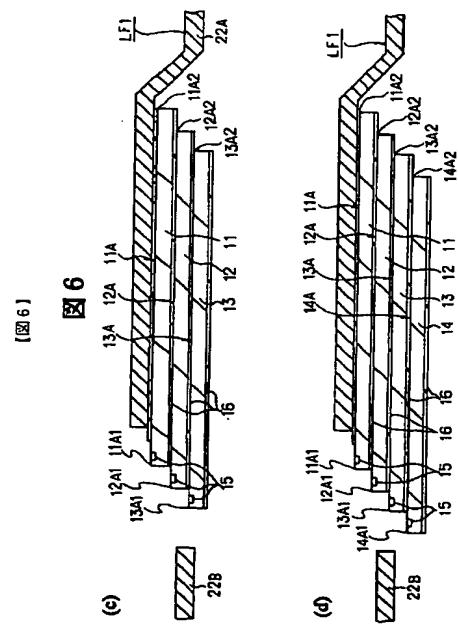
四



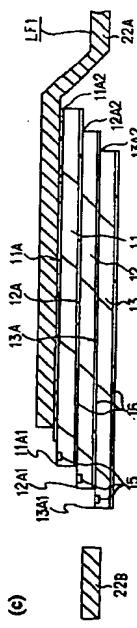
1



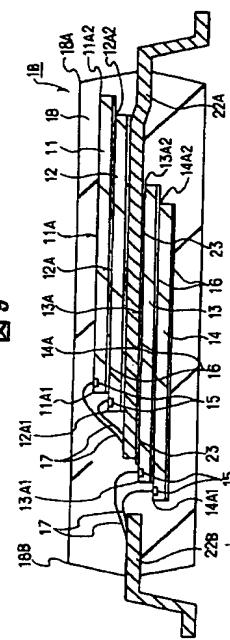
1



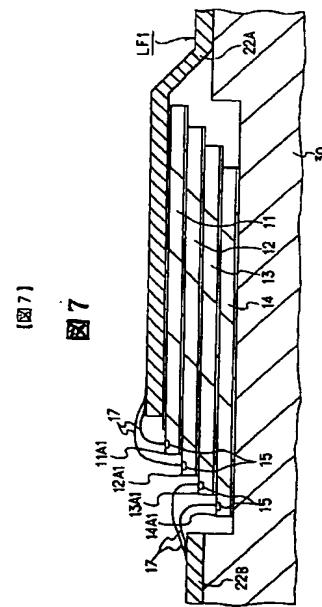
64



8

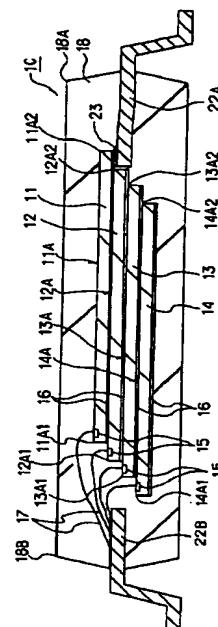


[圖 9]



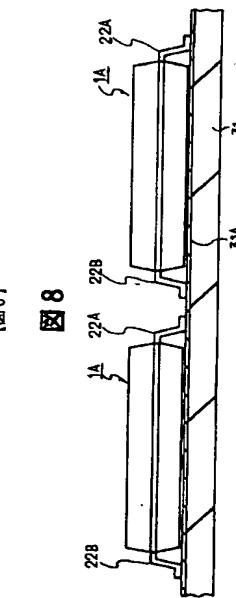
四

1



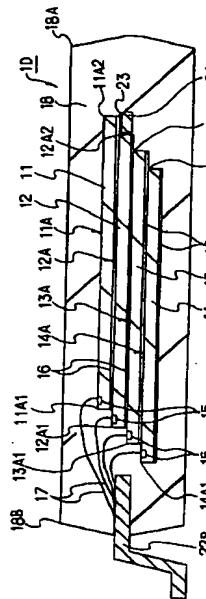
101

10



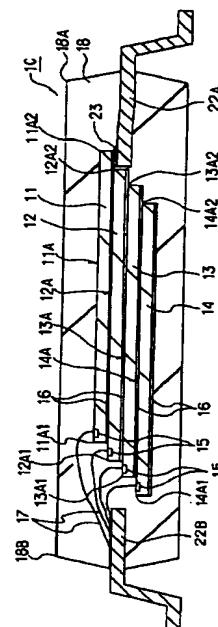
181

88



一一

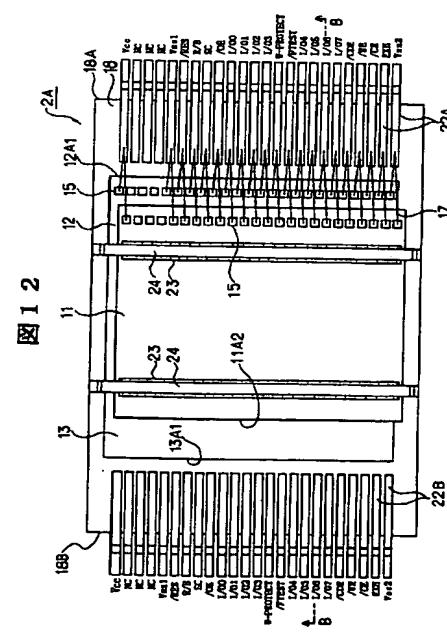
11



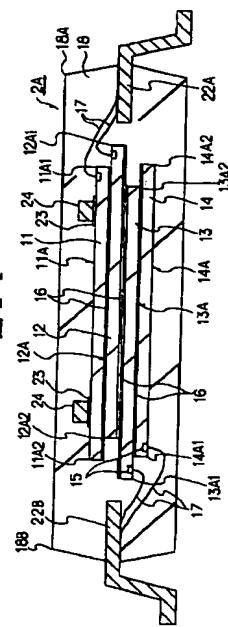
101

10

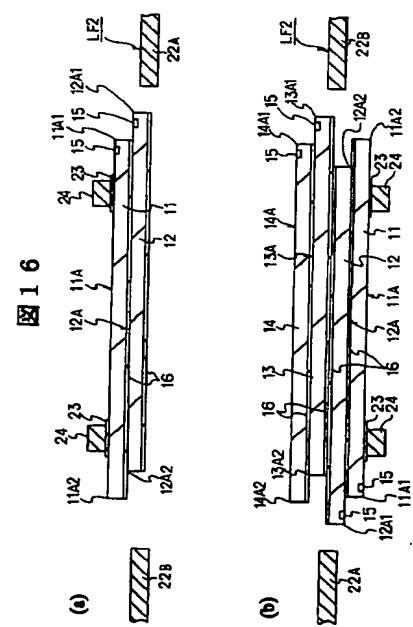
[図12]



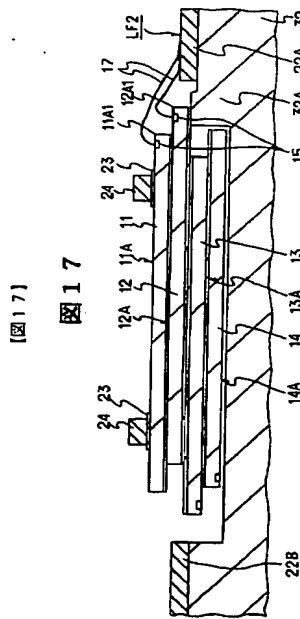
[図14]



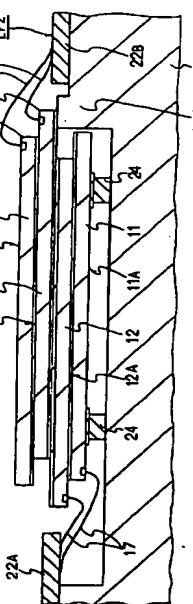
[図16]



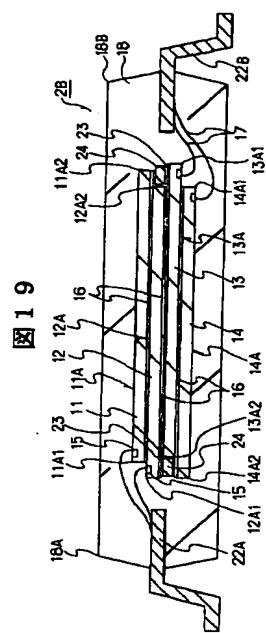
[図17]



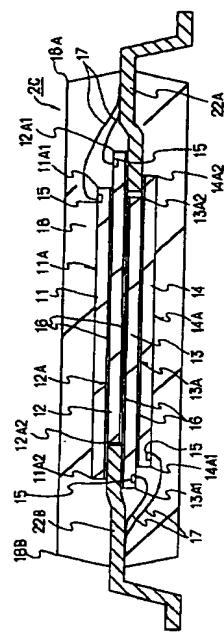
[図18]



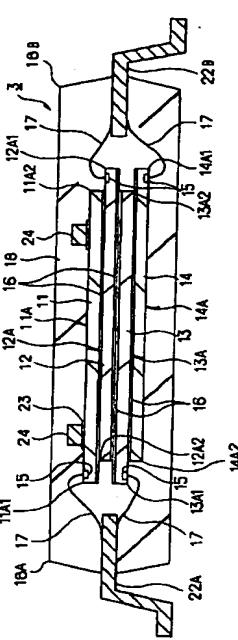
[図19]



[図20]

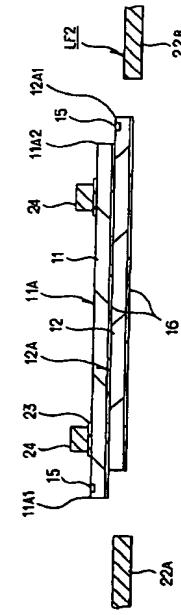


[図21]



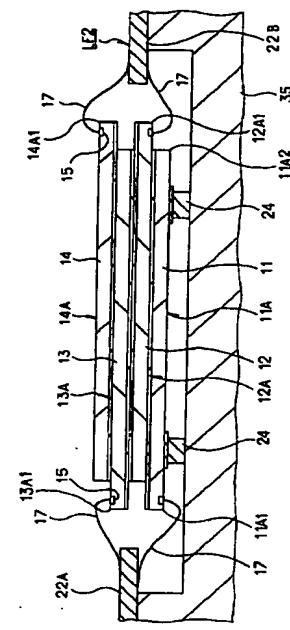
[図 2.2]

図 2.2



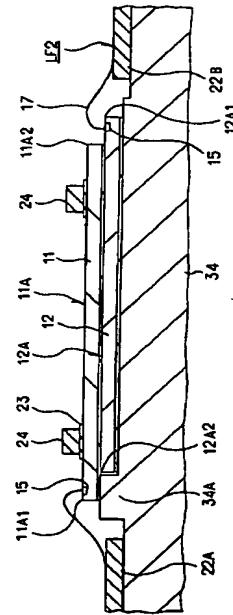
[図 2.3]

図 2.3



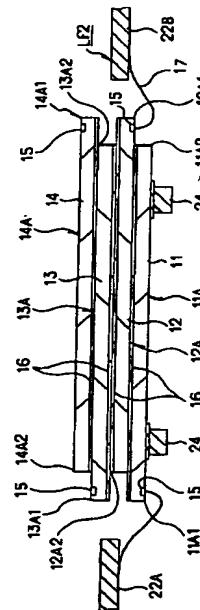
[図 2.4]

図 2.4



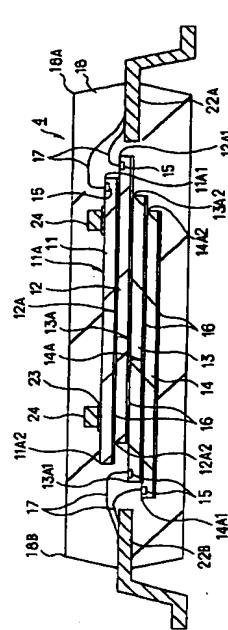
[図 2.5]

図 2.5



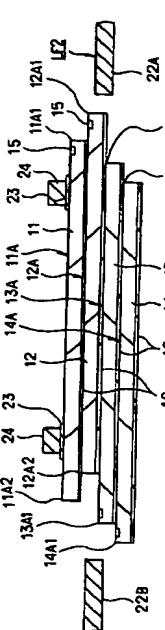
[図 2.6]

図 2.6



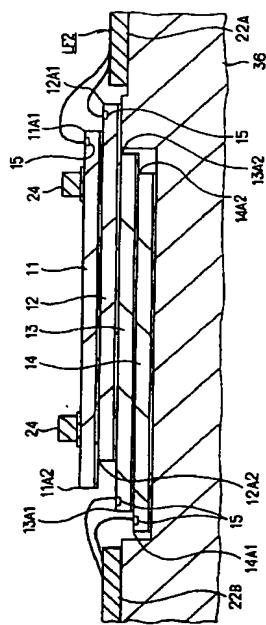
[図 2.7]

図 2.7



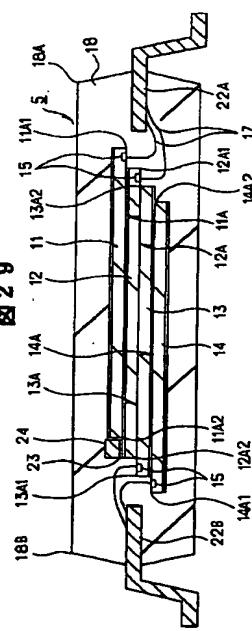
[28]

8
2
EX



四〇九

2



フロントページの焼き

(72)発明者 和田 哲	東京都小平市上水本町5丁目22番1号 株式会社日立超エル・エス・アイ・システム 内	(72)発明者 西沢、裕幸 東京都小平市上水本町5丁目20番1号 株式会社日立製作所半導体グループ内 加藤谷 泰一郎
-----------------	---	--

F ターム(参考) 5F067 BA00 CB00